

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-060395

(43)Date of publication of application : 02.03.1999

(51)Int.Cl. C30B 29/40
H01L 21/20

(21)Application number : 09-224676 (71)Applicant : FUJITSU LTD

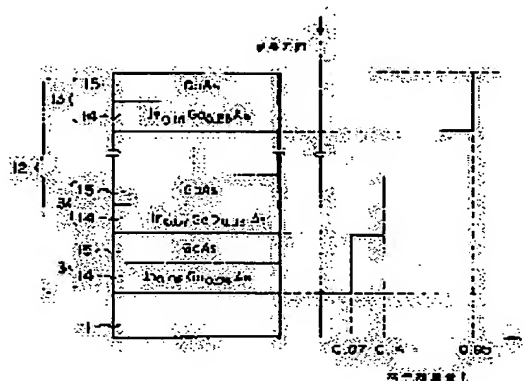
(22)Date of filing : 21.08.1997 (72)Inventor : UCHIDA TORU

(54) COMPOUND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a compd. semiconductor device having a lattice relaxation layer capable of relieving the strain by the lattice mismatching between a substrate and an element forming layer and preventing the generation of cross hatch-like ruggedness on the surface.

SOLUTION: Plural intermediate layers 13 constituting the relaxation layer 12 are formed of two-layered structures consisting of InGaAs layers 14 and GaAs layers 15. The In content in the InGaAs layers 14 arranged on the upper side is made larger, by which the inclination angle distribution of the crystal axes at the respective boundaries is confined to $\leq 0.05^\circ$ or the lattice relaxation quantity is confined to $\leq 0.1\%$, more preferably $\leq 0.07\%$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-60395

(43) 公開日 平成11年(1999) 3月2日

(51) Int.Cl.⁶

C 3 0 B 29/40

H 0 1 L 21/20

識別記号

5 0 2

F I

C 3 0 B 29/40

H 0 1 L 21/20

5 0 2 H

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平9-224676

(22) 出願日 平成9年(1997) 8月21日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 内田 徹

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

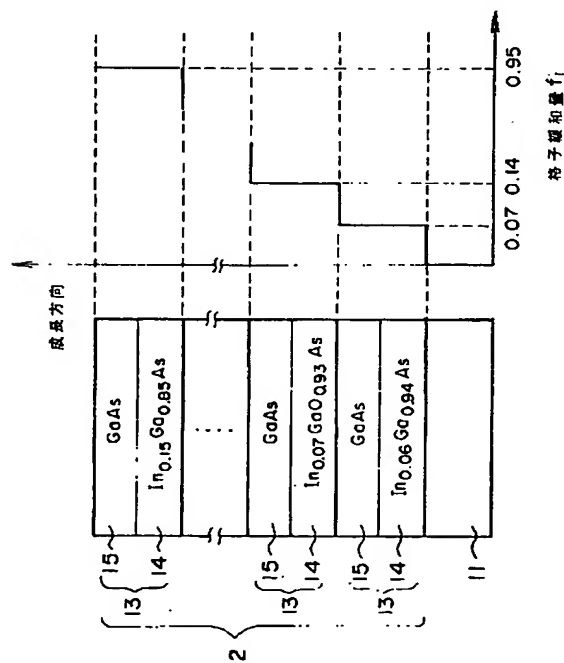
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 化合物半導体装置

(57) 【要約】

【課題】 基板と素子形成層との間の格子不整合による歪みを緩和するとともに、表面にクロスハッチ状の凹凸が発生することを防止できる格子緩和層を備えた化合物半導体装置を提供する。

【解決手段】 緩和層12を構成する複数の中間層13を、InGaAs層14とGaAs層15との2層構造とし、上側に配置されるInGaAs層14ほどIn含有量を多くすることにより、各界面における結晶軸の傾斜角度分布を0.05°以下、又は格子緩和量を0.1%以下、より好ましくは0.07%以下とする。



【特許請求の範囲】

【請求項1】 化合物半導体基板と素子形成層との間に介在し、両者の間の格子定数の差により生じる歪みを緩和する格子緩和層を有する化合物半導体装置において、前記格子緩和層は、水平方向の格子間隔が異なる複数の中間層により構成され、前記複数の中間層のうちの最下層の中間層と前記半導体基板との界面、及び各中間層の界面における結晶軸の傾斜角度分布がいずれも 0.05° 以下であることを特徴とする化合物半導体装置。

【請求項2】 前記複数の中間層は、いずれも圧縮歪みを有する第1の層と、引っ張り歪みを有する第2の層とからなることを特徴とする請求項1に記載の化合物半導体装置。

【請求項3】 前記第1の層は、上側に配置されるものほどIn含有量が多いInGaAsからなり、前記第2の層は前記基板と同一組成の材料からなることを特徴とする請求項2に記載の化合物半導体装置。

【請求項4】 化合物半導体基板と素子形成層との間に介在し、両者の間の格子定数の差により生じる歪みを緩和する格子緩和層を有する化合物半導体装置において、前記格子緩和層は、水平方向の格子間隔が異なる複数の中間層により構成され、前記複数の中間層のうちの最下層の中間層と前記半導体基板との界面、及び各中間層の界面における格子緩和量がいずれも 0.1% 以下であること特徴とする化合物半導体装置。

【請求項5】 前記複数の中間層は、いずれも圧縮歪みを有する第1の層と、引っ張り歪みを有する第2の層とからなることを特徴とする請求項4に記載の化合物半導体装置。

【請求項6】 前記第1の層は、上側に配置されるものほどIn含有量が多いInGaAsからなり、前記第2の層は前記基板と同一組成の材料からなることを特徴とする請求項5に記載の化合物半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、化合物半導体基板と素子形成層との間に設けられて両者の間の格子定数の差による歪みを緩和する格子緩和層を備えた化合物半導体装置に関する。

【0002】

【従来の技術】 近年、化合物半導体は、高効率の発光ダイオードやレーザ素子に使用されている。これらの素子では、InP又はGaAs等の化合物半導体からなる基板の上に、基板と格子定数が異なるIII-V族混晶化合物半導体からなる素子形成層を形成する必要が高まってきた。

【0003】 しかし、InP又はGaAs等の化合物半導体基板の上にIII-V族混晶化合物からなる素子形成層を直接形成すると、基板と素子形成層との格子不整合に起因する歪みが大きく、素子形成層に欠陥（転移）が生

じたり、素子形成層やその上に形成する層の表面に凹凸が発生して、素子特性の劣化の原因となる。このため、InP又はGaAs等の化合物半導体基板の上にIII-V族混晶化合物からなる素子形成層を形成する場合は、両者の間に格子緩和層を介在させて、格子不整合に起因する歪みを低減している。

【0004】 格子緩和層には、階段状構造のものと、連続的組成傾斜構造のものとがある。図6は、横軸にIn含有量を取り、縦軸に格子緩和層の厚さ方向をとって、従来の階段状構造の格子緩和層におけるIn含有量の厚さ方向の変化を示す模式図である。例えば、半導体基板がGaAsからなり、格子緩和層が複数のInGaAs層の積層体からなる場合、この図6に示すように、格子緩和層を構成するInGaAs層は、上側のものほどIn含有量が多くなるように形成されて、最上層のInGaAs層はその上に形成される素子形成層とはほぼ同じ組成に形成されている。

【0005】 このように、半導体基板と素子形成層との間にIn含有量が徐々に変化する複数のInGaAs層を設けて各界面における水平方向の格子間隔を少しずつ変化させることにより、半導体基板と素子形成層との間の格子定数の差による歪みを緩和することができる。また、連続的組成傾斜構造の格子緩和層においても、基板側から素子形成層側にIn含有量が連続的に変化するよう格子緩和層が形成されており、階段状構造の場合と同様に、貫通転位密度が低い緩和層が得られ、格子不整合に起因する歪みを低減することができる。

【0006】

【発明が解決しようとする課題】 しかしながら、従来の階段状構造又は連続的組成傾斜構造の格子緩和層では、いずれも格子緩和層の表面にクロスハッチ状（格子状）の凹凸が発生するという問題点がある。この凹凸により、格子緩和層上に堆積する素子形成層にうねりが発生するため、素子特性を改善する効果が十分ではない。

【0007】 本発明の目的は、基板と素子形成層との間の格子不整合による歪みを緩和するとともに、表面にクロスハッチ状の凹凸が発生することを防止できる格子緩和層を備えた化合物半導体装置を提供することである。

【0008】

【課題を解決するための手段】 上記した課題は、化合物半導体基板と素子形成層との間に介在し、両者の間の格子定数の差により生じる歪みを緩和する格子緩和層を有する化合物半導体装置において、前記格子緩和層は、水平方向の格子間隔が異なる複数の中間層により構成され、前記複数の中間層のうちの最下層の中間層と前記半導体基板との界面、及び各中間層の界面における結晶軸の傾斜角度分布がいずれも 0.05° 以下であることを特徴とする化合物半導体装置により解決する。

【0009】 また、上記した課題は、化合物半導体基板と素子形成層との間に介在し、両者の間の格子定数の差

により生じる歪みを緩和する格子緩和層を有する化合物半導体装置において、前記格子緩和層は、水平方向の格子間隔が異なる複数の中間層により構成され、前記複数の中間層のうちの最下層の中間層と前記半導体基板との界面、及び各中間層の界面における格子緩和量がいずれも0.1%以下であること特徴とする化合物半導体装置により解決する。

【0010】なお、本願において傾斜角度分布とは、界面における結晶軸の傾斜角度の分布をX線装置を用いた逆格子マッピング法等により調べ、その結果から求めた結晶軸の傾斜角度の標準偏差をいう。以下、本発明の作用について説明する。図1は、GaAs基板1上にInGaAs層2を形成した場合のミスフィット転移とInGaAs層2の表面の凹凸との関係を示す模式図である。この図1において、矢印は結晶軸の方向を示す。この図1に示すように、GaAs基板1上にInGaAs層2を形成すると、両者の間にミスフィット転移3が発生し、ミスフィット転移3が発生した個所の近傍では結晶軸が傾斜する。InGaAs層2が形成されるときは、InGaAs層2は結晶軸方向に成長するので、結晶軸の傾斜角度が大きいと、InGaAs層2の表面にクロスハッチ状の凹凸が発生する原因となる。

【0011】本願発明者らは、X線装置を用いた逆格子マッピングによって、結晶軸の傾斜角度分布とクロスハッチ状の凹凸との関係について調べた。逆格子マッピングにより、逆格子点の広がり調べることができる。逆格子点の広がり調べは結晶軸の傾斜角度分布に対応する。そこで、(004)反射条件で逆格子マッピングを行い、半値幅から結晶軸の傾斜角度を計算し、その結果を基に傾斜角度分布を求めた。その結果、結晶軸の傾斜角度分布が0.05°以下であれば、クロスハッチ状の凹凸は殆ど認められないとの知見を得た。

【0012】また、本願発明者らは、結晶軸の傾斜角度分布と格子緩和量との関係を調べた。その結果を図2に示す。但し、格子緩和量 f は、GaAs基板の水平方向の格子間隔を a_{000} 、GaAs基板上に形成されたInGaAs層の水平方向の平均格子間隔を a_{001} とすると、下記(1)式により定義される。

$$f = (a_{001} - a_{000}) / a_{000} \quad \dots (1)$$

図2から明らかなように、格子緩和量 f の増大に伴って、結晶軸の傾斜角度分布が大きくなる。また、格子緩和量 f が0.1%以下であれば、傾斜角度分布を0.05°以下にすることができ、格子緩和量 f を0.07%以下とすると傾斜角度分布が著しく小さくなる。

【0013】図3は、本発明の化合物半導体装置と、その化合物半導体装置の格子緩和層を構成する中間層の各界面における水平方向の格子間隔を示す模式図である。この図3に示すように、本発明の化合物半導体装置は、基板1上に複数の中間層9を積層してなる格子緩和層8を有している。そして、例えば k 番目の中間層9に対す

る $k+1$ 番目の中間層9の格子緩和量 $f1$ は、 k 番目の中間層9及び $k+1$ 番目の中間層9の水平方向の平均格子間隔をそれぞれ a_k 、 a_{k+1} とすれば、近似的に下記(2)式で求まる。

【0014】

$$f1 = (a_{k+1} - a_k) / a_{k+1} \quad \dots (2)$$

本発明においては、基板1と最下層の中間層9との界面、及び各中間層9の界面における格子緩和量を0.1%以下、より好ましくは0.07%以下とする。これにより、各界面における結晶軸の傾斜角度分布が0.05°以下と極めて小さくなり、格子緩和層8の表面にクロスハッチ状の凹凸が形成されることが防止され、特性が良好な化合物半導体装置が得られる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。図4は本発明の実施の形態の化合物半導体装置と、その半導体装置の格子緩和層を構成する複数の中間層の各界面における格子緩和量を示す模式図である。また、図5は横軸にIn含有量を取り、縦軸に格子緩和層の厚さ方向をとって、本実施の形態の化合物半導体装置の緩和層中におけるIn含有量の厚さ方向の変化を示す図である。

【0016】GaAs基板11上には格子緩和層12が形成されている。格子緩和層12は複数の中間層13を積層して構成され、各中間層13は下側のInGaAs層14と上側のGaAs層15との2つの層により構成されている。また、各中間層13のInGaAs層14は、上側に配置されたものほどIn含有量が多くなっている。すなわち、最下層の中間層13のInGaAs層14はIn_{0.00}Ga_{0.99}Asからなり、次の中間層13のInGaAs層14はIn_{0.01}Ga_{0.99}Asからなるというように、各InGaAs層14のInとGaとの含有比は少しずつ異なっているこの図4に示すように、本実施の形態の化合物半導体装置は、InGaAs層14とGaAs層15とからなる複数の中間層13を積層して構成されており、各中間層13のInGaAs層14のIn含有量を上側に配置されるものほど多くすることにより水平方向の格子間隔を少しずつ変化させているので、基板11と最下層の中間層13との界面、及び各中間層13の界面における格子緩和量がいずれも0.07%以下になっている。これにより、各界面における結晶軸の傾斜角度分布が0.05°以下になり、格子緩和層12の表面にクロスハッチ状の凹凸が発生することが防止され、半導体素子の特性劣化が回避されるという効果が得られる。

【0017】以下、本実施の形態の化合物半導体層の製造方法について説明する。まず、GaAsからなる基板11の上に、例えば有機金属気相成長法(MOCVD法)等の気相成長法によりInGaAs層(In_{0.00}Ga_{0.99}As)14を約0.2μmの厚さに形成する。そ

の後、十分な熱アニール処理を施す。これにより、基板11とInGaAs層14との界面における格子緩和量が約0.07%となり、結晶軸の傾斜角度分布が十分に小さくなる。

【0018】この時点で、InGaAs層14は残留歪みを有する。この残留歪みは圧縮歪みであり、その大きさはミスフィット転移を発生させる臨界歪み量、又はそれ以上である。従って、InGaAs層14上に直接In含有量が異なるInGaAs層を堆積した場合は臨界歪みを超えるため、InGaAs14と基板11との界面に更に新たなミスフィット転移が生じ、格子緩和量を0.1%以下に保つことができなくなる。

【0019】そこで、InGaAs層14上には、その圧縮歪みを打ち消すように、引っ張り歪みを有する材料からなる層を形成する必要がある。この層として、本実施の形態ではGaAs層15を形成する。そして、このInGaAs層14とGaAs層15との2つの層により第1（最下層）の中間層13を構成する。なお、引っ張り歪みを有する材料とは、無歪み状態での格子間隔がInGaAs層14の水平方向の格子間隔より小さな材料であればよく、In含有量が少ないInGaAsにより形成してもよい。

【0020】次に、第1の中間層13上に、InGaAs（In_{0.07}Ga_{0.93}As）層14を形成し、このInGaAs層14上にGaAs層15を形成して、第2の中間層13とする。このようにして、基板11上にInGaAs層14とGaAs層15とからなる中間層13を積層して格子緩和層12を形成する。このようにして形成された格子緩和層12は、各中間層13のInGaAs層14中のIn含有量が上側に配置されるものほど多いので、最上層の中間層13の水平方向の格子間隔は、各中間層13の緩和量の総和に相当する量だけ大きくなる。

【0021】これにより、格子緩和層の最上層の格子間隔を素子形成層の格子間隔に合わせることができて、素子形成層に形成される素子の特性を損なうおそれがない。また、格子緩和層の表面にクロスハッチ状の凹凸が発生することを回避できる。

*

*【0022】

【発明の効果】以上説明したように、本発明によれば、格子緩和層を構成する複数の中間層のうちの最下層の中間層と半導体基板との界面、及び各中間層の界面における結晶軸の傾斜角度分布がいずれも0.05°以下に設定されているか、又は最下層の中間層と半導体基板との界面、及び各中間層の界面における格子緩和量がいずれも0.1%以下に設定されているので、半導体基板と素子形成層との間の格子定数の差による歪みを緩和できるとともに、緩和層表面にクロスハッチ状の凹凸が発生することを防止できて、素子特性の劣化が回避される。従って、本発明は、化合物半導体装置の特性向上に大きな貢献をなす。

【図面の簡単な説明】

【図1】本発明の原理を示す図（その1）であり、GaAs基板上にInGaAs層を形成したときの状態を示す。

【図2】本発明の原理を示す図（その2）であり、格子緩和量と傾斜角度分布との関係を示す図である。

【図3】本発明の原理を示す図（その3）であり、化合物半導体装置と、その化合物半導体装置の格子緩和層を構成する中間層の各界面における水平方向の格子間隔を示す図である。

【図4】本発明の実施の形態の化合物半導体装置と、その半導体装置の格子緩和層を構成する複数の中間層の各界面における格子緩和量とを示す模式図である。

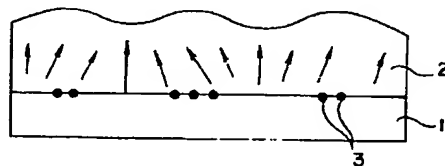
【図5】実施の形態の化合物半導体装置の緩和層中のIn含有量の分布を示す図である。

【図6】従来の階段状構造の格子緩和層におけるIn含有量の厚さ方向の変化を示す模式図である。

【符号の説明】

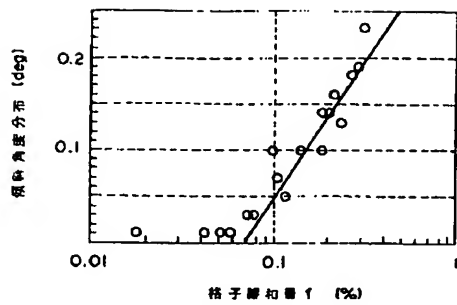
- 1, 11 GaAs 基板
- 2, 14 InGaAs 層
- 8, 12 格子緩和層
- 9, 13 中間層
- 15 GaAs 層

【図1】

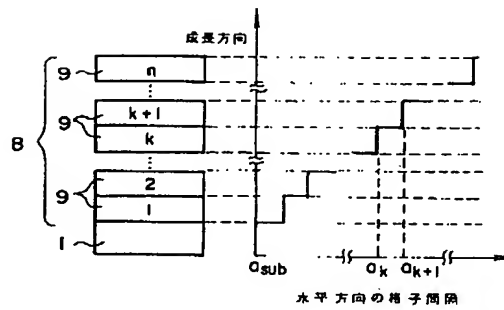


- 1 GaAs 基板
- 2 InGaAs 層
- 3 ミスフィット転位

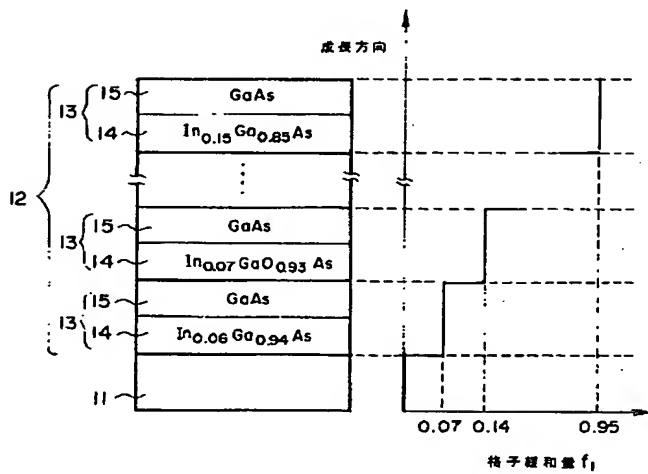
【図2】



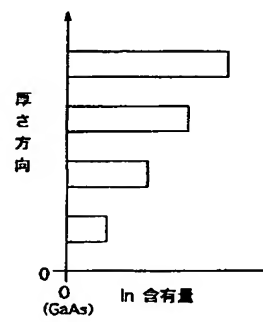
【図3】



【図4】



【図5】



【図6】

